

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-152810

(43)Date of publication of application : 27.05.2004

(51)Int.Cl.

H01L 23/12  
 H01L 21/3205  
 H01L 25/065  
 H01L 25/07  
 H01L 25/18

(21)Application number : 2002-313526

(71)Applicant : SHARP CORP

(22)Date of filing : 28.10.2002

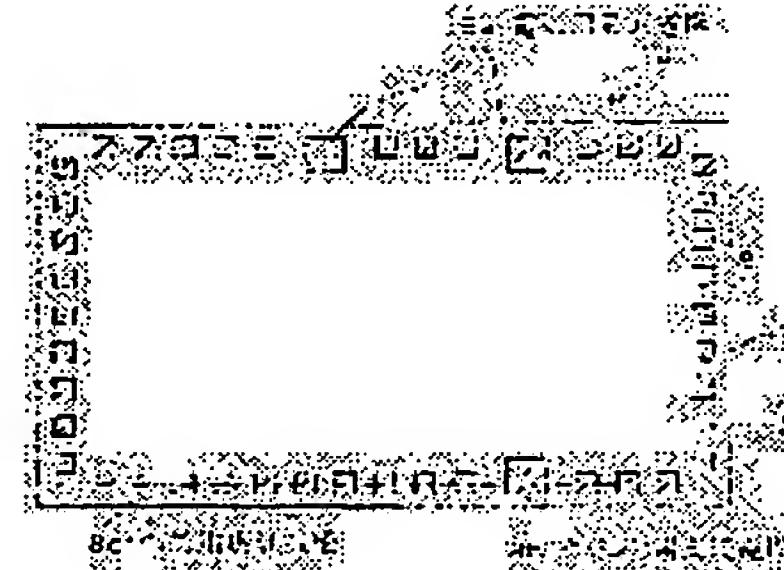
(72)Inventor : TOTSUTA YOSHIHISA  
 KIMURA TOSHIO

## (54) SEMICONDUCTOR DEVICE AND LAMINATED SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device which can prevent an extreme voltage drop, heating, delay, loss, due to the resistances of electrodes and unevenness of resistance values of the electrodes, and to provide a laminated semiconductor device.

**SOLUTION:** The semiconductor device 10 includes a plurality of through electrodes 8a for a power source which penetrates between front and rear surfaces of a semiconductor chip 1, through electrode 8b for a ground and a through electrode 8c for a signal. The electrodes 8a, the electrode 8b and the electrode 8c have different sectional areas from each other.



## LEGAL STATUS

[Date of request for examination] 15.06.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-152810

(P2004-152810A)

(43) 公開日 平成16年5月27日(2004.5.27)

(51) Int.Cl.<sup>7</sup>

HO1L 23/12  
HO1L 21/3205  
HO1L 25/085  
HO1L 25/07  
HO1L 25/18

F 1

HO1L 23/12 501P  
HO1L 25/08 Z  
HO1L 21/88 J

テーマコード(参考)

5FO33

審査請求 未請求 請求項の数 9 O L (全 22 頁)

(21) 出願番号

特願2002-313526 (P2002-313526)

(22) 出願日

平成14年10月28日 (2002.10.28)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(74) 代理人 100080034

弁理士 原 雄三

(74) 代理人 100113701

弁理士 木島 隆一

(74) 代理人 100115026

弁理士 園谷 徹

(74) 代理人 100116241

弁理士 金子 一郎

(72) 発明者

土澤田 義久

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

最終頁に続く

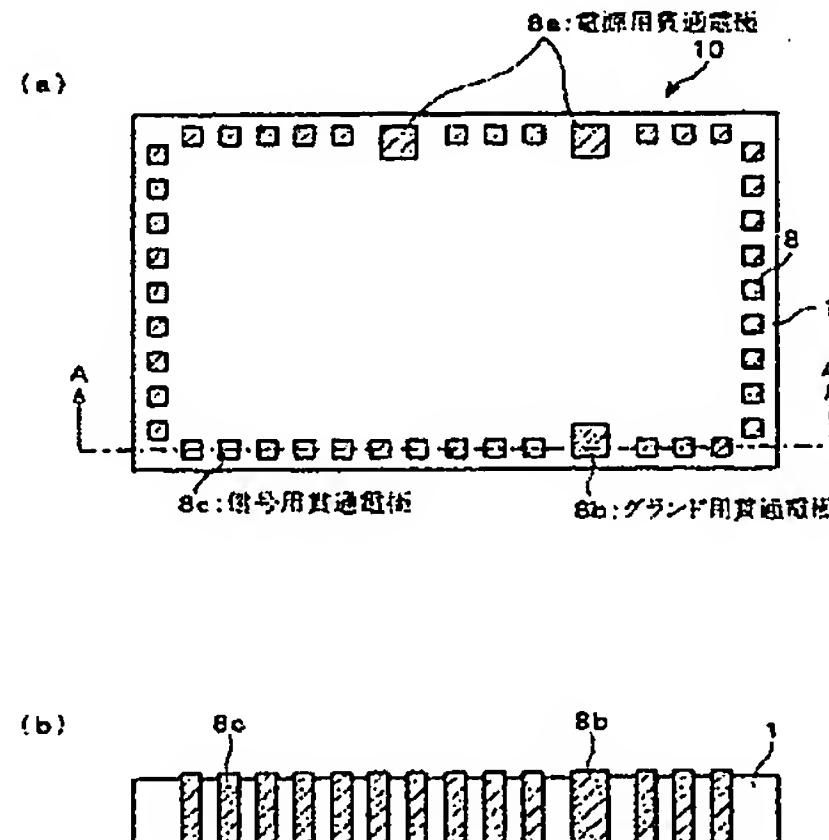
(54) 【発明の名称】半導体装置及び積層型半導体装置

## (57) 【要約】

【課題】電極の抵抗による極度の電圧降下や発熱、遅延、ロス及び電極の抵抗値のばらつきの発生を防止し得る半導体装置及び積層型半導体装置を提供する。

【解決手段】半導体装置10は、半導体チップ1の表裏間を貫通する複数の電源用貫通電極8a、グランド用貫通電極8b、信号用貫通電極8cを備える。電源用貫通電極8a、グランド用貫通電極8b、信号用貫通電極8cは、断面積が相互に異なるもの有する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

半導体チップの表裏間を貫通する複数の貫通電極を備えるとともに、上記貫通電極は、断面積が相互に異なるものを有することを特徴とする半導体装置。

## 【請求項 2】

前記貫通電極のうち少なくとも 1 種類は、半導体チップと電気的に接続される接続用貫通電極であることを特徴とする請求項 1 記載の半導体装置。

## 【請求項 3】

前記貫通電極のうち少なくとも 1 種類は、半導体チップと電気的に接続されないスルー用貫通電極であることを特徴とする請求項 1 又は 2 記載の半導体装置。 10

## 【請求項 4】

前記貫通電極の断面積は、該貫通電極に流れる電流値の大きさに伴って大きく形成されていることを特徴とする請求項 1、2 又は 3 記載の半導体装置。

## 【請求項 5】

半導体チップのグランド端子又は電源端子に接続された貫通電極の断面積は、他の信号端子に接続された貫通電極の断面積よりも大きく形成されていることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置。

## 【請求項 6】

請求項 1 ~ 5 のいずれか 1 項に記載の半導体装置が複数積層されていることを特徴とする積層型半導体装置。 20

## 【請求項 7】

上下に  $n$  個 ( $n$  は 2 以上の整数) 連続して隣接する前記半導体装置間を接続するための貫通電極の断面積よりも、上下に  $(n + 1)$  個 ( $n$  は 2 以上の整数) 以上連続して隣接する前記半導体装置間を接続するための貫通電極の断面積の方が大きく形成されていることを特徴とする請求項 6 記載の積層型半導体装置。

## 【請求項 8】

複数の半導体装置の積層による接続距離の長さに伴って、貫通電極の断面積が大きく形成されていることを特徴とする請求項 6 記載の積層型半導体装置。

## 【請求項 9】

複数の半導体装置の積層による接続距離に比例して、貫通電極の断面積が大きく形成されていることを特徴とする請求項 8 記載の積層型半導体装置。 30

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、貫通電極を有する半導体装置、及びこの半導体装置を複数個積層することにより、高機能化、小型化及び薄型化を図るための積層型半導体装置に関するものである。

## 【0002】

## 【従来の技術】

近年、電子機器の小型化の要求に対応するものとして、また、組立工程の自動化に適合するものとして、CSP (Chip Size Package) 型半導体装置が広く用い 40 られている。

## 【0003】

図 11 は、従来の CSP 型半導体装置 100 の断面構造の一例を示している。上記 CSP 型半導体装置 100 では、半導体チップ 101 の周辺に設けられた電極パッド 102 から Au ワイヤ 103 を介して回路基板であるインターポーラ基板 104 に電気的な接続が行われ、インターポーラ基板 104 の裏面に設けられた外部取り出し電極 105 を介して、図示しない外部機器に接続されるようになっている。

## 【0004】

Au ワイヤ 103 によるワイヤボンディングによって、半導体チップ 101 に形成されている電極パッド 102 とインターポーラ基板 104 との電気的な接続が行われる。このた 50

め、Auワイヤ103の高さ分だけ高くなり、さらにAuワイヤ103の保護のためにモールド樹脂106による封止が必要となるため、CSP型半導体装置100の薄型化が図り難いという問題点を有している。

【0005】

この問題点を解決するために、図12(a)に示すFCB(Flip Chip Bon ding)タイプのものと、図12(b)に示す貫通電極を有するもの等がある。これらのCSP型半導体装置では、ワイヤを不要とすることによって半導体装置の薄型化を図ることができる。

【0006】

図12(a)に示すFCBタイプの半導体装置200では、半導体チップ201は、電極パッド202上に形成された突起電極203を介して、インターポーザ基板204の接続パッド205と電気的に接続されている。この時、半導体チップ201の回路形成面206とインターポーザ基板204とは対向する向きに接続され、回路形成面206とインターポーザ基板204との間には、半導体チップ201の保護と接続部の保護のために封止樹脂207にて封止されている。

10

【0007】

また、図12(b)に示す貫通電極により電気的接続が行われた半導体装置210では、半導体チップ211に形成された貫通電極212とインターポーザ基板213に形成された接続パッド214とは、突起電極215を介して電気的に接続されている。必要に応じて、半導体チップ211とインターポーザ基板213との界面に、封止樹脂216を注入し封止することも可能である。この場合、半導体チップ211の回路形成面217は上向きである。

20

【0008】

最近では、これらの半導体装置において、例えば特許文献1～特許文献3に開示されているように、実装効率を高めるために、半導体装置としてのフィルムキャリア半導体モジュールを複数積み重ねて、電気的に接続したマルチチップ半導体装置が提案されている。

30

【0009】

上記の特許文献1に記載のマルチチップ半導体装置300は、図13に示すように、3つの半導体装置301a・301b・301cが下から順に積層されてなっている。各半導体装置301a・301b・301cは、それぞれ、大きく分けて、素子がそれぞれ集積形成されたシリコン基板302・302・302と、集積形成された素子を所定の関係に接続するための多層配線層303・303・303と、これら各多層配線層303の層間絶縁膜304及び各シリコン基板302を貫通する貫通口305内に形成され、各半導体装置301a・301b及び半導体装置301b・301c同士を電気的に接続するための接続プラグである貫通電極306及び開口絶縁膜307とから構成されている。上記貫通電極306…は、グランド端子や電源端子、及びその他の信号端子等の外部接続用端子に利用されるものであり、各半導体装置301a・301b・301c毎に、各用途に応じて複数設けられている。また、各シリコン基板302の裏面における上記貫通電極306以外の領域は裏面絶縁膜308にて被覆されている。

40

【0010】

また、各半導体装置301a・301b・301cの各多層配線層303には、上記金属プラグ306に電気的に接続された電極パッド309がそれぞれ設けられている。そして、半導体装置301aの貫通電極306は、電極パッド309及び半田バンプ310を介して半導体装置301bの貫通電極306に接続されるとともに、半導体装置301bの貫通電極306は、電極パッド309及び半田バンプ310を介して半導体装置301cの貫通電極306に接続されている。

【0011】

これにより、各半導体装置301a・301b・301cは、相互に電気的に接続されていることになり、積層型半導体装置が完成される。

【0012】

50

ところで、上記従来の積層型半導体装置では、上下間の電気的導通をとる場合、同一信号端子は同じ端子位置にて上下間の電気的導通を確保している。

【0013】

【特許文献1】

特開平10-223833号公報 (1998年8月21日公開)

【0014】

【特許文献2】

特許第3186941号公報 (2001年5月11日発行)

【0015】

【特許文献3】

U.S特許第6,184,060号明細書 (2001年2月6日登録)

【0016】

【発明が解決しようとする課題】

しかしながら、上記従来の貫通電極を形成した積層型半導体装置では、貫通電極の断面広さは、その機能に応じた配慮はされておらず、全て同じ大きさである。すなわち、グランド端子や電源端子等の、他の信号端子と比較して大きな電流が流れる端子でも、他の信号端子と同じ大きさであった。このため、電流を多く流す必要がある端子では、発熱・遅延等が発生するという問題点を有している。

【0017】

また、貫通電極を形成した半導体装置を複数個積層した場合、積層数が増加するに伴い、上層の半導体装置から下層の半導体装置まで接続する必要がある端子は、貫通電極の接続距離が長くなることによって、電極の抵抗による電圧降下や発熱、遅延及びロスが発生するという問題点を有している。

【0018】

さらに、様々な接続距離の貫通電極が混在することにより、電極の抵抗値がばらついてしまうという問題点を有している。

【0019】

本発明は、上記従来の問題点に鑑みなされたものであって、その目的は、電極の抵抗による極度の電圧降下や発熱、遅延、ロス及び電極の抵抗値のばらつきの発生を防止し得る半導体装置及び積層型半導体装置を提供することにある。

30

【0020】

【課題を解決するための手段】

本発明の半導体装置は、上記課題を解決するために、半導体チップの表裏間を貫通する複数の貫通電極を備えるとともに、上記貫通電極は、断面積が相互に異なるものを有することを特徴としている。

【0021】

上記の発明によれば、複数の貫通電極は、断面積が相互に異なるものを有しているので、電流を多く流す必要がある端子の貫通電極の断面積を大きくすることによって、貫通電極の抵抗値を下げ、発熱・遅延等を低減することが可能である。

【0022】

したがって、電極の抵抗による極度の電圧降下や発熱、遅延、ロス及び電極の抵抗値のばらつきの発生を防止し得る半導体装置を提供することができる。

40

【0023】

また、本発明の半導体装置は、上記記載の半導体装置において、前記貫通電極のうち少なくとも1種類は、半導体チップと電気的に接続される接続用貫通電極であることを特徴としている。

【0024】

上記の発明によれば、半導体チップに電気的に接続される接続用貫通電極について、電流を多く流す必要がある端子の貫通電極の断面積を大きくすることによって、半導体チップを効率的に作動させることができる。

50

## 【0025】

また、本発明の半導体装置は、上記記載の半導体装置において、前記貫通電極のうち少なくとも1種類は、半導体チップと電気的に接続されないスルー用貫通電極であることを特徴としている。

## 【0026】

上記の発明によれば、貫通電極として、半導体チップに電気的に接続されないスルー用貫通電極が設けられることになる。

## 【0027】

したがって、半導体装置に発生する熱をスルー用貫通電極を介して外部に逃すことができる。

10

## 【0028】

また、本発明の半導体装置は、上記記載の半導体装置において、前記貫通電極の断面積は、該貫通電極に流れる電流値の大きさに伴って大きく形成されていることを特徴としている。

## 【0029】

上記の発明によれば、貫通電極の断面積は、該貫通電極に流れる電流値の大きさに伴って大きく形成されているので、電流を多く流す必要がある端子の貫通電極の断面積を大きくすることによって、貫通電極の抵抗値を下げ、発熱・遅延等を低減することが可能である。また、端子間の抵抗ばらつきを押さえることが可能となる。

## 【0030】

また、本発明の半導体装置は、上記記載の半導体装置において、半導体チップのグランド端子又は電源端子に接続された貫通電極の断面積は、他の信号端子に接続された貫通電極の断面積よりも大きく形成されていることを特徴としている。

20

## 【0031】

すなわち、半導体チップのグランド端子又は電源端子は、他の信号端子に比べて大きい電流が流れる。

## 【0032】

この点、本発明では、半導体チップのグランド端子又は電源端子に接続された貫通電極の断面積は、他の信号端子に接続された貫通電極の断面積よりも大きく形成されている。

## 【0033】

したがって、電流を多く流す必要がある半導体チップのグランド端子又は電源端子の貫通電極の断面積を大きくすることによって、貫通電極の抵抗値を下げ、発熱・遅延等を低減することが可能である。また、端子間の抵抗ばらつきを押さえることが可能となる。

30

## 【0034】

また、本発明の積層型半導体装置は、上記記載の半導体装置が複数積層されていることを特徴としている。

## 【0035】

上記の発明によれば、上記記載の半導体装置が複数積層されている。したがって、長距離接続が必要な貫通電極の面積を、距離に応じて大きくすることができます、これによって、電極の抵抗値を下げ、電圧降下や発熱、遅延、ロスを低減することが可能となる。また、端子間の抵抗ばらつきを押さえることが可能となる。

40

## 【0036】

また、貫通電極の一部を、半導体チップに電気的に接続されないスルー用貫通電極とすることによって、上層の半導体装置から下層の半導体装置まで貫通して電流を流すことができる。

## 【0037】

また、本発明の積層型半導体装置は、上記記載の積層型半導体装置において、上下にn個(nは2以上の整数)連続して隣接する前記半導体装置間を接続するための貫通電極の断面積よりも、上下に(n+1)個(nは2以上の整数)以上連続して隣接する前記半導体装置間を接続するための貫通電極の断面積の方が大きく形成されていることを特徴として

50

いる。

【0038】

上記の発明によれば、接続する積層半導体装置の段数に応じて貫通電極の断面積の大きさが大きくなる。

【0039】

このため、貫通電極の断面積を、接続距離に応じて大きくすることができ、これによって、電極の抵抗値を下げ、電圧降下や発熱、遅延、ロスを低減することができる。

【0040】

また、本発明の積層型半導体装置は、上記記載の積層型半導体装置において、複数の半導体装置の積層による接続距離の長さに伴って、貫通電極の断面積が大きく形成されていることを特徴としている。  
10

【0041】

上記の発明によれば、貫通電極の断面積は、複数の半導体装置の積層による接続距離の長さに伴って大きく形成されている。このため、電極の抵抗による極度の電圧降下や発熱、遅延、ロス及び電極の抵抗値のばらつきの発生を防止し得る積層型半導体装置を提供することができる。

【0042】

また、本発明の積層型半導体装置は、上記記載の積層型半導体装置において、複数の半導体装置の積層による接続距離に比例して、貫通電極の断面積が大きく形成されていることを特徴としている。  
20

【0043】

上記の発明によれば、複数の半導体装置の積層による接続距離に比例して、貫通電極の断面積が大きく形成されているので、断面積の決定を容易に行うことができる。

【0044】

【発明の実施の形態】

【実施の形態1】

本発明の実施の一形態について図1ないし図8に基づいて説明すれば、以下の通りである。  
。

【0045】

図1(a)は、本実施の形態の半導体装置10を示す平面図である。上記半導体装置10における半導体チップ1の周辺部分には、断面積の異なる貫通電極8が複数形成されている。この貫通電極8は、半導体チップ1の表裏を貫通するものである。  
30

【0046】

図1(a)(b)に示すように、貫通電極8は、電源用貫通電極8a、グランド用貫通電極8b及び信号用貫通電極8cの3種類に大別されるとともに、これら電源用貫通電極8a及びグランド用貫通電極8bの断面積と信号用貫通電極8cの断面積とは大きさが異なっている。すなわち、電源用貫通電極8a及びグランド用貫通電極8bは、信号用貫通電極8cに比べて大きい断面積を有している。

【0047】

この理由は、電源用貫通電極8a及びグランド用貫通電極8bには、信号用貫通電極8cに比べて、大きな電流値が流れるので、この大きな電流値が流れる電源用貫通電極8a及びグランド用貫通電極8bの断面積の大きさを、これよりも小さな電流値が流れる信号用貫通電極8cの断面積の大きさよりも大きくしたものである。なお、上記の例では、電源用貫通電極8a及びグランド用貫通電極8bの断面積の大きさは同じ大きさとしているが、必ずしもこれに限らず、電源用貫通電極8a、グランド用貫通電極8b、及び信号用貫通電極8cに対して、この貫通電極8に流れる電流の大きさに伴って、大きい断面積を有するようにすることが可能である。また、上記の例では、貫通電極8は矩形に形成されているが、必ずしもこれに限らず、円形その他の形状であってもよい。  
40

【0048】

このように、電流を多く流す必要がある端子の貫通電極8の面積を大きくすることによつ  
50

て、貫通電極8の抵抗値を下げ、発熱・遅延等を低減することが可能である。

【0049】

上記の半導体装置10では、図2に示すように、上記半導体チップ1に形成された図示しない素子領域から配線パターンが伸びており、この配線パターンは電極パッド7にて貫通電極8に接続されている。すなわち、半導体チップ1内には、図示しないが、素子領域から伸びる無数の微細な配線が配線パターンとして走っている。上記の電極パッド7は、上記の配線パターンの中で外部との電気的なやり取りを行うために、配線パターンの先端に設けられかつ半導体チップ1の周辺に配置されている比較的大きな電極端子をいう。なお、従来は、この電極パッド7からワイヤーボンドが行われていた。

10

【0050】

上記の貫通電極8はインターポーザ基板30の裏面に設けられた外部取り出し電極31に電気的に接続されるようになっている。すなわち、インターポーザ基板30の裏面には、外部取り出し電極31が複数形成されており、これら外部取り出し電極31は、インターポーザ基板30の内部に形成された図示しないビアホールによって、表面に形成された複数の接続パッド32に電気的に接続されている。これら接続パッド32は、上記半導体装置10の貫通電極8の平面位置と同じ領域に設けられており、これによって、接続パッド32と電源用貫通電極8a及び信号用貫通電極8c等の貫通電極8とをバンプ25にて接続することにより、半導体装置10の貫通電極8とインターポーザ基板30の裏面に露出して形成された接続パッド32とが電気的に接続される。この結果、半導体チップ1の素子領域が外部取り出し電極31にまで電気的に接続されることになり、この外部取り出し電極31を例えれば他の図示しないプリント基板の電源等に接続することができる。

20

【0051】

なお、上記の説明では、半導体装置10の貫通電極8は、下側に設けられるインターポーザ基板30にバンプ25を介して接続されるものとなっているが、必ずしもこれに限らず、貫通電極8の表面に例えばワイヤを接続することも可能である。

【0052】

また、上記インターポーザ基板30は、本実施の形態では、半導体装置10と図示しない回路基板との間にに入る中継用の基板として使用している。半導体装置10の電極パッド7のピッチは狭くて、回路基板やマザーボードの電極ピッチとは整合しないため、このインターポーザ基板30にてピッチ変換することができる。また、インターポーザ基板30は、このように半導体装置10の電極パッド7を再配置することができるとともに、半導体装置10と図示しない回路基板との間の応力緩和等にも役立つ。

30

【0053】

ここで、半導体装置10のチップサイズを最小にすることが、コストダウンのために重要なため、通常、貫通電極8はできるだけ小さいことが望ましい。

【0054】

本実施の形態では、信号用貫通電極8cの大きさを $10\mu\text{m}$ 角としている。また、半導体装置10の厚みを $50\mu\text{m}$ と非常に薄くすることによって、小型、薄型化を達成している。なお、元の後述する半導体ウエハ11の厚みは $600\sim700\mu\text{m}$ 程度であるが、一般的には、それを $300\sim400\mu\text{m}$ 程度の厚みに研磨していることが多い。最近のCSP (チップサイズパッケージ) 等では $150\sim200\mu\text{m}$ に研磨しているものもある。

40

【0055】

しかしながら、電源端子やグランド端子は電流が他の信号端子に比べて多く流れるために、配線抵抗はできるだけ小さいことが望ましい。その理由は、抵抗値が大きいと電圧降下や発熱、信号の遅延等が大きくなるためである。したがって、電源端子又はグランド端子に接続される電源用貫通電極8a又はグランド用貫通電極8bの断面積を、他の信号端子に接続される信号用貫通電極8cの2~5倍程度に大きくすることが望ましい。

【0056】

本実施の形態では、電源端子及びグランド端子の抵抗値を低減するために、電源端子及びグランド端子に接続された電源用貫通電極8a及びグランド用貫通電極8bの断面積のサ

50

イズを20 $\mu$ m角と他の信号端子よりも大きくしている。

【0057】

これにより、大電流が流れるこれら電源端子及びグランド端子の配線抵抗が低減され、発熱や信号の遅延を低減することが可能となった。

【0058】

なお、上述の説明では、貫通電極8は、半導体チップ1に配されている電極パッド7に接続されたものとして説明しているが、必ずしもこれに限らない。すなわち、図3に示すように、例えば、貫通電極8のうち、半導体チップ1に配されている電極パッド7に接続されたものを接続用貫通電極18とする一方、半導体チップ1の電極パッド7に接続されないスルー用貫通電極19とすることができます。

10

【0059】

このように、半導体装置10において、スルー用貫通電極19を設けることによって、このスルー用貫通電極19を通して半導体装置10で発生する熱をインターポーラ基板30等の基板に逃がすことができるメリットがある。なお、スルー用貫通電極19の他の用途については、後述する実施の形態2にて詳述する。

【0060】

上記接続用貫通電極18及びスルー用貫通電極19を有する半導体装置10の製造方法について、図4ないし図7に基づいて説明する。また、説明は主として貫通電極8の形成方法について行う。

20

【0061】

まず、シリコン(Si)からなる半導体ウエハ11の電極パッド7付近の断面構造を図4(a)に示す。

【0062】

この図4(a)に示すものは、シリコン(Si)からなる半導体ウエハ11の表面に、二酸化ケイ素(SiO<sub>2</sub>)からなる熱酸化膜12が形成され、その上に例えばアルミニウム(A1)を主とする金属からなる電極パッド7が形成され、さらに、これら熱酸化膜12及び電極パッド7の表面を二酸化ケイ素(SiO<sub>2</sub>)からなる酸化膜の絶縁膜13にて保護したものである。ここで、上記表面の絶縁膜13の厚みは、電極パッド7の上で例えば0.7 $\mu$ mである。

【0063】

上記の半導体ウエハ11にフォトレジスト14を塗布し、貫通電極8…を形成する位置を開口する。このときのフォトレジスト14の開口サイズが、貫通電極8の大きさとなるため、流れる電流値が大きい端子や、長距離配線となる端子等、抵抗値を小さくする必要がある端子を形成する部分の開口を大きくしておく等、必要に応じた配慮が必要である。ここでは、貫通電極8の形成方法の一例を説明するため、図では同じ大きさで記載している。

30

【0064】

次に、図4(b)に示すように、フォトレジスト14をマスクとし、ドライエッチングにより表面の絶縁膜13、電極パッド7、及び熱酸化膜12を除去し、半導体ウエハ11のシリコン(Si)を露出させる。

40

【0065】

次に、図4(c)に示すように、フォトレジスト14を除去する。次いで、示すように、絶縁膜13をマスクとしてドライエッチングにより半導体ウエハ11のシリコン(Si)を所定の深さまでエッチングする。本実施の形態では、例えば70 $\mu$ mの深さまでエッチングを行った。この時、マスクとして用いる絶縁膜13も同時にエッチングが進行する。

【0066】

ここで、今回、我々が用いたドライエッチング装置は、二酸化ケイ素(SiO<sub>2</sub>)とシリコン(Si)との選択比が1:100程度であったため、電極パッド7上の絶縁膜13の厚みを0.7 $\mu$ mとしておくことによって、半導体ウエハ11のシリコン(Si)に70 $\mu$ m深さのエッチングを行えば、電極パッド7が露出することになる。したがって、選択

50

比によってマスクとして使用する絶縁膜13の厚みを調整し、半導体ウエハ11のシリコン(Si)が所望の深さまでエッティングされたときに電極パッド7が露出するようにできる。

#### 【0067】

次に、図5(a)に示すように、穴の内壁、電極パッド7及び絶縁膜13の表面に酸化膜15を形成する。このように酸化膜15を形成するのは、後工程で導体を穴内に形成する際に、シリコン(Si)との絶縁性を確保するためである。本実施の形態では、深い穴の内壁に酸化膜15を形成するために、化学気相成長(CVD: Chemical Vap or Deposition)によってTEOS(Tetra Ethyl Ortho Silicate)酸化膜を形成した。今回は、内壁に例えれば1μm程度の厚みが形成されるようにした。なお、このTEOS酸化膜とは、二酸化ケイ素(SiO<sub>2</sub>)の化学気相成長(CVD)で用いられる液体ソースの一種であるTEOSを使ってシリコン(Si)上に形成した酸化膜のことをいう。

10

#### 【0068】

次に、図5(b)に示すように、ドライフィルムレジスト16で、スルー用貫通電極形成部19aを覆った状態で、図5(c)に示すように、酸化膜15を反応性イオンエッティング(RIE: Reactive Ion Etching)によってドライエッチする。このとき、ドライエッチは異方性を有するため、穴の内壁はほとんどエッティングされることはなく、表面の酸化膜15のみがエッティングされ接続用貫通電極形成部18aの電極パッド7が露出する。

20

#### 【0069】

なお、上記ドライフィルムレジスト16とは、液状のフォトレジストではなく、ポリエスチルのカバーシートとポリエチレンのセパレータシートとの間にレジスト材料を挟み込んだ、フィルム状のフォトレジストをいう。セパレータシートを剥がし、被着体に貼り付け(ラミネート)し、露光する。そして、露光後にカバーシートを剥がし現像を行うものである。

#### 【0070】

また、反応性イオンエッティング(RIE)とは、チャンバー(化学反応室)内のガスを電場や磁場でプラズマ化し、方向性を有する反応性イオン種を用いて行うエッティングである。化学反応と同時に進行するスパッタリング作用により、サイドエッチのない垂直断面形状が得やすいため微細パターンの加工に適している。

30

#### 【0071】

次に、図5(d)に示すように、上記ウエハ全面に、後工程で電解メッキを行うためのシード層17を形成する。本実施の形態では、シード層17は、TiN/Cuの二層をスパッタにて形成した。なお、シード層17とは、上記の例では、電解メッキを行うためのTiN/Cuからなる給電メタルのことをいう。給電メタルに電気を流し、メッキを成長させていく。

#### 【0072】

次いで、図6(a)に示すように、穴内を埋めるように電解銅メッキ20を実施した。

#### 【0073】

40

次に、図6(b)に示すように、ウエハ表面の電解銅メッキ20及びシード層17であるTiN/CuをCMPにより除去した。

#### 【0074】

次に、図6(c)に示すように、半導体ウエハ11の裏面のシリコン(Si)を研削し、所望の厚みに薄化した。本実施の形態では、ウエハ全体の厚みが50μmとなるように研削した。研削により接続用貫通電極18及びスルー用貫通電極19となる電解銅メッキ20が露出する。半導体ウエハ11の裏面を研削後、必要に応じて、薬液やプラズマによりシリコン(Si)をエッティングし、研削ダメージを取り除くことも可能である。

#### 【0075】

また、半導体ウエハ11の裏面研削時、半導体ウエハ11の破損を防止するためにウエハ

50

表面側に石英ガラス等の補強板を接着剤で貼り付け、全ての工程が終わった後に取り外す等も可能である。

【0076】

次に、ウエハ裏面に突起電極を形成するプロセスを説明する。

【0077】

図7 (a) に示すように、ウエハ裏面全面に酸化膜15をCVDにより形成する。次に、フォトレジスト21を塗布後、図7 (b) に示すように、接続用貫通電極形成部18a及びスルー用貫通電極形成部19aを開口する。次いで、上記フォトレジスト21をマスクにし、半導体ウエハ11の裏面の酸化膜15をドライエッティングにより除去し、接続用貫通電極18及びスルー用貫通電極19の電解銅メッキ20を露出させる。その後、フォトレジスト21は除去する。次に、図7 (c) に示すように、メッキバンプ形成用のシードメタル22として、TiW/Cuをウエハ裏面にスパッタにより形成する。次に、図7 (d) に示すように、メッキバンプ形成領域を露出した状態でフォトレジスト層23を形成し、電解金メッキ24を行う。次に、図7 (e) に示すように、フォトレジスト層23を除去し、シードメタル22を、上記電解金メッキ24をマスクとしてエッティング除去することによって、上記電解金メッキ24がバンプ25として機能する接続用貫通電極18及びスルー用貫通電極19が形成された半導体装置10が得られる。

10

【0078】

上記シードメタル22のエッティングは、まず、銅 (Cu) のエッティングを例えばヤマト屋商会の商品名「アルカエッチ液」や塩酸と塩化第二鉄の混液等を用いて行い、続いてTiWのエッティングを過酸化水素水や過酸化水素水とアンモニア水及びEDTAの混液等を用いてエッティングすることができる。

20

【0079】

なお、接続用貫通電極18及びスルー用貫通電極19の形成方法やバンプ25の形成方法はこれ以外にも様々な手法が提案されており、本実施の形態の手法に限るものではない。例えば、図8に示すように、裏面のバンプ25としてメッキバンプではなく、ワイヤーバンプ25aを形成したものとすることができる。このワイヤーバンプ25aは、前記図7 (b) に示す工程の後、電解銅メッキ17上に形成したものである。

【0080】

また、本実施の形態の半導体装置10では、貫通電極8の形成方法について、上述した方法に限らず、例えば前記日本国特許公報「特許第3186941号公報 (特許文献2)」、日本国公開特許公報「特開平10-223833号公報 (特許文献1)」又はUS特許第6,184,060号明細書 (特許文献3) に記載された手法も適用できる。

30

【0081】

上記特許第3186941号公報に記載されたものは、シリコン (Si) 基板の裏面側から貫通電極のための開口を形成するものであるが、この場合には、シリコン (Si) 基板裏面に形成したフォトレジストの開口サイズを変えることによって、異なる断面積を持った貫通電極8を得ることが可能である。

【0082】

また、特開平10-223833号公報に記載されたものであれば、二酸化ケイ素 (SiO<sub>2</sub>) からなるマスクパターンの開口サイズを変えることによって、異なる断面積を持った貫通電極8を形成することが可能である。

40

【0083】

さらに、US特許第6,184,060号の明細書に記載されたものであれば、アルミニウム (Al) マスクの開口サイズを変えることによって、異なるサイズの貫通電極8を形成することが可能である。

【0084】

このように、本実施の形態の半導体装置10では、複数の貫通電極8…は、断面積が相互に異なるものを有しているので、電流を多く流す必要がある端子の貫通電極8の断面積を大きくすることによって、貫通電極8の抵抗値を下げ、発熱・遅延等を低減することが可

50

能である。

【0085】

したがって、電極の抵抗による極度の電圧降下や発熱、遅延、ロス及び電極の抵抗値のばらつきの発生を防止し得る半導体装置10を提供することができる。

【0086】

また、本実施の形態の半導体装置10では、半導体チップ1の電極パッド7を介して素子領域に電気的に接続される接続用貫通電極18について、電流を多く流す必要がある端子の貫通電極8の断面積を大きくすることによって、半導体チップ1を効率的に作動させることができる。

【0087】

また、本実施の形態の半導体装置は、貫通電極8のうち少なくとも1種類は、半導体チップ1の電極パッド7を介して素子領域に電気的に接続されないスルー用貫通電極19であるので、貫通電極8として、半導体チップ1に電気的に接続されないスルー用貫通電極19が設けられることになる。

【0088】

したがって、半導体装置10に発生する熱をスルー用貫通電極19を介して外部に逃すことができる。

【0089】

また、本実施の形態の半導体装置10では、貫通電極8の断面積は、該貫通電極8に流れる電流値の大きさに伴って大きく形成されているので、電流を多く流す必要がある端子の貫通電極8の断面積を大きくすることによって、貫通電極8の抵抗値を下げ、発熱・遅延等を低減することが可能である。また、端子間の抵抗ばらつきを押さえることが可能となる。

【0090】

ところで、半導体チップ1のグランド端子又は電源端子は、他の信号端子に比べて大きい電流が流れる。

【0091】

この点、本実施の形態では、半導体チップ1のグランド端子又は電源端子に接続された電源用貫通電極8aの断面積は、他の信号端子に接続された信号用貫通電極8cの断面積よりも大きく形成されている。

【0092】

したがって、電流を多く流す必要がある半導体チップ1のグランド端子又は電源端子の電源用貫通電極8aの断面積を大きくすることによって、電源用貫通電極8aの抵抗値を下げ、発熱・遅延等を低減することが可能である。また、端子間の抵抗ばらつきを押さえることが可能となる。

【0093】

【実施の形態2】

本発明の他の実施の形態について図9に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態1の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0094】

本実施の形態では、前記実施の形態1の半導体装置10が複数個としての2個積層された積層型半導体装置について説明する。

【0095】

本実施の形態の積層型半導体装置40は、図9に示すように、インターポーヴ基板30上に、半導体装置10a及び半導体装置10bの2つの半導体装置10が順に積層されている。この種の積層型半導体装置40として、例えば、半導体装置10aとしてロジックメモリ、半導体装置10bとしてフラッシュメモリとして使用されるものがある。

【0096】

上記構成の積層型半導体装置40では、各半導体装置10a・10bの外側域に貫通電極

10

20

30

40

50

8…がそれぞれ設けられている。なお、上記図3においては、半導体装置10a・10b及びインターポーザ基板30の周辺部の構造のみを示している。

【0097】

これら複数の貫通電極8…のうち、半導体装置10a・10bにおける最外側域の同じ平面位置には、例えば信号用貫通電極8c・8cがそれぞれ共通して設けられている。また、下側の半導体装置10aにおける上記信号用貫通電極8cよりも内側には、電源用貫通電極8aが形成されている。さらに、上記電源用貫通電極8aの内側には、半導体装置10a・10bにおける同じ平面位置に、例えば電源用貫通電極8a・8aがそれぞれ共通して設けられている。また、そのさらに内側には、半導体装置10a・10bにおける同じ平面位置に、例えば信号用貫通電極8c・8cがそれぞれ共通して設けられている。 10

【0098】

ここで、上記積層型半導体装置40の構成では、上側の半導体装置10bにおいては、外側から順に設けられている信号用貫通電極8c、電源用貫通電極8a及び信号用貫通電極8cには、アルミニウム(A1)を主とする金属からなる電極パッド7が配されている。また、同図において下側の半導体装置10aに形成された左から2番目の電源用貫通電極8a、左から4番目の信号用貫通電極8cにもアルミニウム(A1)を主とする金属からなる電極パッド7が配されている。

【0099】

これに対して、下側の半導体装置10aにおける左から1番目の信号用貫通電極8c、及び左から3番目の電源用貫通電極8aには電極パッド7が配設されておらず、単に、上層の貫通電極8をインターポーザ基板30に連結接続するためにのみ設けられている。本実施の形態では、上層の貫通電極8をスルー用貫通電極18と呼ぶ。すなわち、スルー用貫通電極18とは、半導体装置10を貫通する貫通電極8の一種であって、半導体チップ1とは電極パッド7を介した電気的な接続がなされておらず、半導体装置10をスルーするだけの電極である。 20

【0100】

これに対して、上側の半導体装置10bにおける、信号用貫通電極8c、電源用貫通電極8a及び信号用貫通電極8c、並びに下側の半導体装置10aにおける左側から2番目の電源用貫通電極8a及び左から4番目の信号用貫通電極8cには、アルミニウム(A1)を主とする金属からなる電極パッド7が配されており、この電極パッド7を介して半導体チップ1にそれぞれ接続されているので、接続用貫通電極19と呼ぶ。 30

【0101】

上記の積層型半導体装置40では、上側の半導体装置10bの電極パッド7が接続された信号用貫通電極8cは、この信号用貫通電極8cを経由して下側の半導体装置10a及びインターポーザ基板30の外部取り出し電極31に接続されている。

【0102】

また、上側の半導体装置10bの電極パッド7が接続された電源用貫通電極8aは、下側の半導体装置10aに形成されたスルー用貫通電極19に電気的に接続され、さらにインターポーザ基板30に接続されている。さらに外部取り出し電極31に接続されている。 40

【0103】

また、上側の半導体装置10bの電極パッド7が接続された一番右の信号用貫通電極8cは、下側の半導体装置10aに形成された接続用貫通電極18に電気的に接続され、さらにインターポーザ基板30に接続され、さらに、外部取り出し電極31に接続されている。このように、上側の半導体装置10bと下側の半導体装置10aとの電極が同一の信号である場合に、このような形態をとることができる。

【0104】

また、下側の半導体装置10aの電極パッド7が接続された左から2番目の貫通電極8である電源用貫通電極8aは、インターポーザ基板30に接続され、さらに、外部取り出し電極31に接続されている。隣接する半導体チップ1や半導体装置10aとインターポー 50

ザ基板30等の基板と接続する場合には、このような形態となる。図示しないが、上側の半導体装置10bに形成された貫通電極8を、下側の半導体装置10aのみに接続する場合も同様の形態である。

#### 【0105】

ここで、積層型半導体装置40における各半導体装置10a・10bのサイズを最小にすることが、コストダウンのために重要であるため、通常、電源用貫通電極8a及びスルー用貫通電極19はできるだけ小さいことが望ましい。

#### 【0106】

本実施の形態では、電源用貫通電極8a及びスルー用貫通電極19の大きさを10μm角とした。また、各半導体装置10a・10bの厚みを50μmと非常に薄くすることで、  
10 小型、薄型化を達成している

しかしながら、電源端子やグランド端子は電流が他の信号端子に比べて多く流れるために、配線抵抗はできるだけ小さいことが望ましい。その理由は、抵抗値が大きいと電圧降下や発熱、信号の遅延などが大きくなるためである。したがって、電源端子及びグランド端子に接続される貫通電極8の断面積を、他の信号端子に接続される貫通電極8の3~5倍程度に大きくすることが望ましい。

#### 【0107】

本実施の形態では、電源端子及びグランド端子の抵抗値を低減するために、電源端子及びグランド端子に接続された貫通電極8及び、これらの端子をスルーするためにスルー用貫通電極19のサイズを20μm角と他の信号端子よりも大きくした。  
20

#### 【0108】

これにより、大電流が流れるこれら電源端子及びグランド端子の配線抵抗が低減され、発熱や信号の遅延を低減することが可能となった。

#### 【0109】

上記の各貫通電極8…についての具体的な用途としては、例えば、以下に示すものである。まず、同図において最も右側の信号用貫通電極8c・8cは、アドレッシングバス/データバスの電極である。また、同図において右側から2番目の電源用貫通電極8a・8aは、フラッシュ用高電圧の電極、同図において右側から3番目の電源用貫通電極8aは、ロジック用の電極、同図において最も左側の信号用貫通電極8c・8cは、チップセレクト電極である。  
30

#### 【0110】

このように、本実施の形態の積層型半導体装置40では、実施の形態1で述べた、半導体装置10…が複数である2層積層されている。

#### 【0111】

したがって、長距離接続が必要な貫通電極8の面積を、距離に応じて大きくすることができ、これによって、貫通電極8の抵抗値を下げ、電圧降下や発熱、遅延、ロスを低減することが可能となる。また、端子間の抵抗ばらつきを押さえることが可能となる。

#### 【0112】

また、貫通電極8の一部を、半導体チップ1に接続されないスルー用貫通電極19とすることによって、上層の半導体装置10bから下層の半導体装置10aまで貫通して電流を流すことができる。  
40

#### 【0113】

##### 〔実施の形態3〕

本発明の他の実施の形態について図10に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態1及び実施の形態2の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

#### 【0114】

本実施の形態では、前記実施の形態1の半導体装置10が複数個としての5個積層された積層型半導体装置について説明する。

#### 【0115】

本実施の形態の積層型半導体装置 50 は、図 10 に示すように、インターポーザ基板 30 上に、第 1 半導体装置 10 a、第 2 半導体装置 10 b、第 3 半導体装置 10 c、第 4 半導体装置 10 d、及び第 5 半導体装置 10 e の 5 段の半導体装置 10 が順に積層されている。

### 【0116】

同図に示すように、最下段の第 1 半導体装置 10 a からインターポーザ基板 30 の外部取り出し電極 31 までの配線距離に比べて、最上段の第 5 半導体装置 10 e からインターポーザ基板 30 の外部取り出し電極 31 までの接続距離は長くなっていることが分かる。

### 【0117】

前記実施の形態 2 で述べた積層型半導体装置 40 では、上下に隣接する半導体装置 10・10 を貫通電極 8・8 により接続する場合は、配線距離が全て同じであり問題はないが、本実施の形態の積層型半導体装置 50 のように、例えば、第 5 半導体装置 10 e の電極パッド 7 をインターポーザ基板 30 の外部取り出し電極 31 に接続する場合や、第 5 半導体装置 10 e を第 1 半導体装置 10 a の貫通電極 8 に接続する場合には配線距離が長くなり、配線抵抗が大きくなり、遅延や発熱を生じる問題がある。したがって、その場合には、できるだけ、配線抵抗は小さく、ばらつきのないことが望ましい。

### 【0118】

そこで、本実施の形態では、隣接する半導体装置 10…間を接続する貫通電極 8 と少なくとも 1 つの半導体装置 10 をスルーして接続する貫通電極 8 との配線抵抗値のばらつきをなくすために、貫通電極 8 の断面積の大きさを調整している。すなわち、複数の半導体装置 10…の積層による接続距離の長さに伴って、貫通電極 8 の断面積が大きく形成されている。

### 【0119】

一般化すると、上下に  $n$  個 ( $n$  は 2 以上の整数) 連続して隣接する半導体装置 10…間を接続するための貫通電極 8 の断面積よりも、上下に  $(n+1)$  個 ( $n$  は 2 以上の整数) 以上連続して隣接する半導体装置 10…間を接続するための貫通電極 8 の断面積の方が大きく形成されている。

### 【0120】

具体的には、本実施の形態では、同じ厚みの半導体装置 10…を積層した場合、隣接する 2 段の半導体装置 10・10 を接続するときには、1 つの半導体装置 10 の場合に比べて貫通電極 8 の断面積を 2 倍とし、隣接する 3 段の半導体装置 10・10・10 を接続するときには、1 つの半導体装置 10 の場合に比べて貫通電極 8 の断面積を 3 倍とし、隣接する 4 段の半導体装置 10・10・10・10 を接続するときには、1 つの半導体装置 10 の場合に比べて貫通電極 8 の断面積を 4 倍とし、隣接する 5 段の半導体装置 10・10・10・10・10 を接続するときには、1 つの半導体装置 10 の場合に比べて貫通電極 8 の断面積を 5 倍としている。

### 【0121】

これを図 10 について具体的に説明すると、各半導体装置 10…の厚みを  $50 \mu\text{m}$  とするとともに、第 1 半導体装置 10 a のみをインターポーザ基板 30 に接続するときは、その貫通電極 8 の断面積は、 $100 \mu\text{m}^2$  となっている（図 10 において最右の貫通電極 8）。

### 【0122】

そして、隣接する 2 段の第 2 半導体装置 10 b 及び第 3 半導体装置 10 c を接続するときには、その貫通電極 8 の断面積をそれぞれ  $200 \mu\text{m}^2$  としている（図 10 において右から 2 番目の貫通電極 8）。また、隣接する 3 段の第 3 半導体装置 10 c、第 4 半導体装置 10 d、及び第 5 半導体装置 10 e を接続するときには、その貫通電極 8 の断面積をそれぞれ  $300 \mu\text{m}^2$  としている（図 10 において右から 3 番目の貫通電極 8）。

### 【0123】

さらに、隣接する 4 段の第 1 半導体装置 10 a、第 2 半導体装置 10 b、第 3 半導体装置 10 c、及び第 4 半導体装置 10 d を接続するときには、その貫通電極 8 の断面積をそれ

10

20

30

40

50

それ  $400 \mu\text{m}^2$  としている（図10において右から4番目の貫通電極8）。

【0124】

また、隣接する5段の第1半導体装置10aないし第5半導体装置10eを接続するときには、その貫通電極8の断面積をそれぞれ  $500 \mu\text{m}^2$  としている（図10において右から5番目の貫通電極8）。

【0125】

したがって、本実施の形態では、複数の半導体装置10…の積層による接続距離に比例して、貫通電極8…の断面積が大きく形成されている。これにより、貫通電極8…の配線抵抗値を揃えることができる。

【0126】

また、様々な厚みの半導体装置10を積層した場合も、貫通電極8の配線距離に比例して、断面積を大きくすれば、各端子間の抵抗ばらつきを低減することが可能となり、長距離配線の抵抗値を低減することが可能となる。

10

【0127】

さらに、電源端子及びグランド端子等を大きく形成することによって、発熱や遅延等を低減することが可能となる。

【0128】

このように、本実施の形態の積層型半導体装置50では、上下にn個（nは2以上の整数）連続して隣接する半導体装置10間を接続するための貫通電極8の断面積よりも、上下に（n+1）個（nは2以上の整数）以上連続して隣接する前半導体装置10を接続するための貫通電極8の断面積の方が大きく形成されている。

20

【0129】

このため、貫通電極8の断面積を、接続距離に応じて大きくすることができ、これによつて、貫通電極8の抵抗値を下げ、電圧降下や発熱、遅延、ロスを低減すること

また、本実施の形態の積層型半導体装置50では、貫通電極8の断面積は、複数の半導体装置10…の積層による接続距離の長さに伴って大きく形成されている。このため、貫通電極8の抵抗による極度の電圧降下や発熱、遅延、ロス及び電極の抵抗値のばらつきの発生を防止し得る積層型半導体装置50を提供することができる。

【0130】

また、本実施の形態の積層型半導体装置50では、複数の半導体装置10の積層による接続距離に比例して、貫通電極8の断面積が大きく形成されているので、断面積の決定を容易に行うことができる。

30

【0131】

なお、本発明は、上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的手段に含まれる。

【0132】

【発明の効果】

本発明の半導体装置は、以上のように、半導体チップの表裏間を貫通する複数の貫通電極を備えるとともに、上記貫通電極は、断面積が相互に異なるものを有する。

40

【0133】

それゆえ、電流を多く流す必要がある端子の貫通電極の断面積を大きくすることによって、貫通電極の抵抗値を下げ、発熱・遅延等を低減することが可能である。

【0134】

したがって、電極の抵抗による極度の電圧降下や発熱、遅延、ロス及び電極の抵抗値のばらつきの発生を防止し得る半導体装置を提供することができるという効果を奏する。

【0135】

また、本発明の半導体装置は、上記記載の半導体装置において、前記貫通電極のうち少なくとも1種類は、半導体チップと電気的に接続される接続用貫通電極である。

【0136】

50

それゆえ、半導体チップに電気的に接続される接続用貫通電極について、電流を多く流す必要がある端子の貫通電極の断面積を大きくすることによって、半導体チップを効率的に作動させることができるという効果を奏する。

## 【0137】

また、本発明の半導体装置は、上記記載の半導体装置において、前記貫通電極のうち少なくとも1種類は、半導体チップに電気的に接続されないスルー用貫通電極である。

## 【0138】

それゆえ、貫通電極として、半導体チップに電気的に接続されないスルー用貫通電極が設けられることになる。したがって、半導体装置に発生する熱をスルー用貫通電極を介して外部に逃すことができるという効果を奏する。

10

## 【0139】

また、本発明の半導体装置は、上記記載の半導体装置において、前記貫通電極の断面積は、該貫通電極に流れる電流値の大きさに伴って大きく形成されているものである。

## 【0140】

それゆえ、貫通電極の断面積は、該貫通電極に流れる電流値の大きさに伴って大きく形成されているので、電流を多く流す必要がある端子の貫通電極の断面積を大きくすることによって、貫通電極の抵抗値を下げ、発熱・遅延等を低減することが可能である。また、端子間の抵抗ばらつきを押さえることが可能となるという効果を奏する。

## 【0141】

また、本発明の半導体装置は、上記記載の半導体装置において、半導体チップのグランド端子又は電源端子に接続された貫通電極の断面積は、他の信号端子に接続された貫通電極の断面積よりも大きく形成されているものである。

20

## 【0142】

それゆえ、電流を多く流す必要がある半導体チップのグランド端子又は電源端子の貫通電極の断面積を大きくすることによって、貫通電極の抵抗値を下げ、発熱・遅延等を低減することが可能である。また、端子間の抵抗ばらつきを押さえることが可能となるという効果を奏する。

## 【0143】

また、本発明の積層型半導体装置は、上記記載の半導体装置が複数積層されているものである。

30

## 【0144】

それゆえ、長距離接続が必要な貫通電極の面積を、距離に応じて大きくすることができ、これによって、電極の抵抗値を下げ、電圧降下や発熱、遅延、ロスを低減することが可能となる。また、端子間の抵抗ばらつきを押さえることが可能となる。

## 【0145】

また、貫通電極の一部を、半導体チップに電気的に接続されないスルー用貫通電極とすることによって、上層の半導体装置から下層の半導体装置まで貫通して電流を流すことができるという効果を奏する。

## 【0146】

また、本発明の積層型半導体装置は、上記記載の積層型半導体装置において、上下にn個(nは2以上の整数)連続して隣接する前記半導体装置間を接続するための貫通電極の断面積よりも、上下に(n+1)個(nは2以上の整数)以上連続して隣接する前記半導体装置間を接続するための貫通電極の断面積の方が大きく形成されているものである。

40

## 【0147】

それゆえ、接続する積層半導体装置の段数に応じて貫通電極の断面積の大きさが大きくなるので、貫通電極の断面積を、接続距離に応じて大きくすることができ、これによって、電極の抵抗値を下げ、電圧降下や発熱、遅延、ロスを低減することができる。

## 【0148】

また、本発明の積層型半導体装置は、上記記載の積層型半導体装置において、複数の半導体装置の積層による接続距離の長さに伴って、貫通電極の断面積が大きく形成されている

50

ものである。

【0149】

それゆえ、電極の抵抗による極度の電圧降下や発熱、遅延、ロス及び電極の抵抗値のばらつきの発生を防止し得る積層型半導体装置を提供することができるという効果を奏する。

【0150】

また、本発明の積層型半導体装置は、上記記載の積層型半導体装置において、複数の半導体装置の積層による接続距離に比例して、貫通電極の断面積が大きく形成されているものである。

【0151】

それゆえ、複数の半導体装置の積層による接続距離に比例して、貫通電極の断面積が大きく形成されているので、断面積の決定を容易に行うことができるという効果を奏する。 10

【図面の簡単な説明】

【図1】(a)は本発明における半導体装置の実施の一形態を示す平面図、(b)は上記半導体装置を示すA-A線断面図である。

【図2】インターPOーラ基板上に搭載した半導体装置を示す断面図である。

【図3】接続用貫通電極の他に、スルーチューブ用貫通電極を備えた半導体装置を示す断面図である。

【図4】(a)～(d)は、半導体装置の貫通電極の製造工程を示す断面図である。

【図5】(a)～(d)は、半導体装置の貫通電極における図4の続きの製造工程を示す断面図である。 20

【図6】(a)～(c)は、半導体装置の貫通電極における図5の続きの製造工程を示す断面図である。

【図7】(a)～(e)は、半導体装置の貫通電極における図6の続きの製造工程を示す断面図である。

【図8】貫通電極にワイヤーバンプを形成した半導体装置を示す断面図である。

【図9】本発明における積層型半導体装置の実施の形態を示す断面図である。

【図10】本発明における積層型半導体装置の他の実施の形態を示す断面図である。

【図11】従来の半導体装置を示す断面図である。

【図12】(a)(b)は、従来の他の半導体装置を示す断面図である。

【図13】従来の積層型半導体装置を示す断面図である。 30

【符号の説明】

1 半導体チップ

7 電極パッド

8 複数の貫通電極

8 a 電源用貫通電極(貫通電極)

8 b グランド用貫通電極(貫通電極)

8 c 信号用貫通電極(貫通電極)

10 半導体装置

11 半導体ウエハ

18 接続用貫通電極

19 スルーチューブ用貫通電極

25 バンプ

25 a ワイヤーバンプ

30 インターPOーラ基板

31 外部取り出し電極

32 接続パッド

40 積層型半導体装置

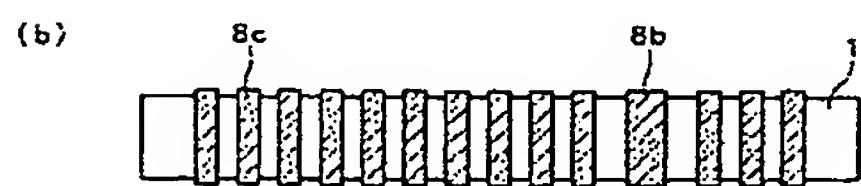
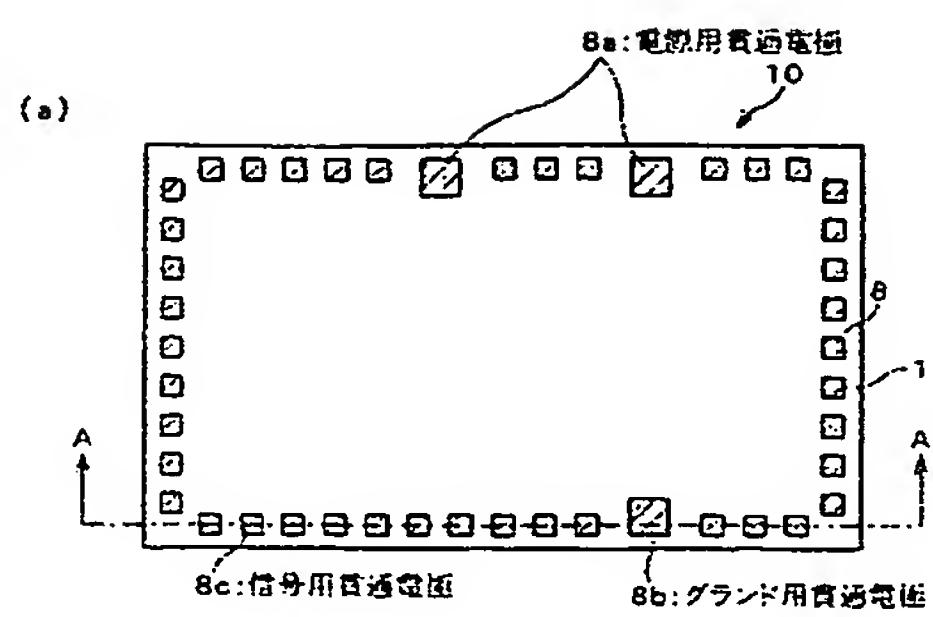
50 積層型半導体装置

20

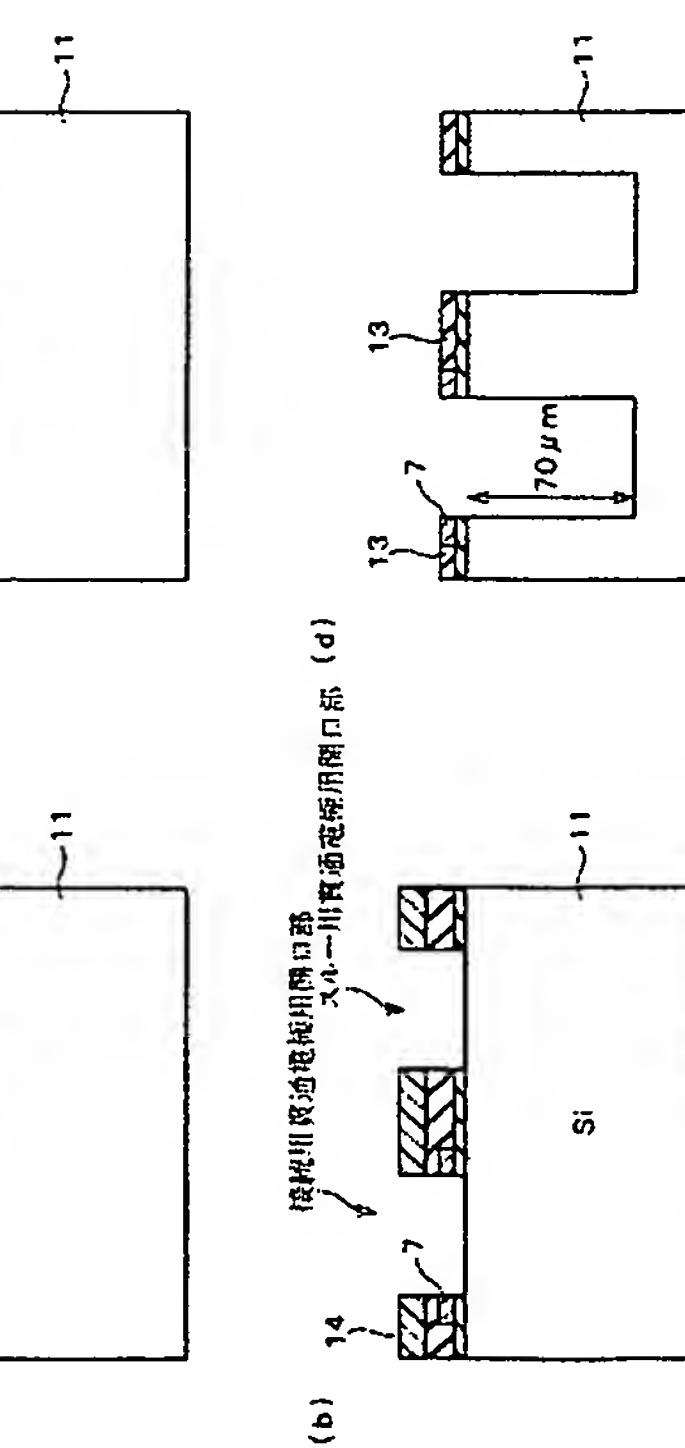
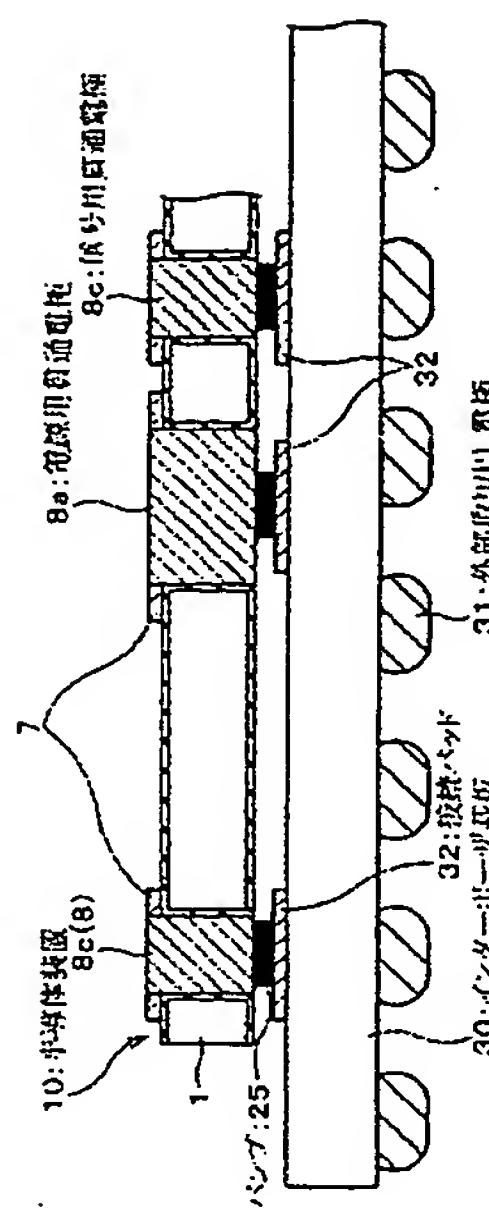
30

40

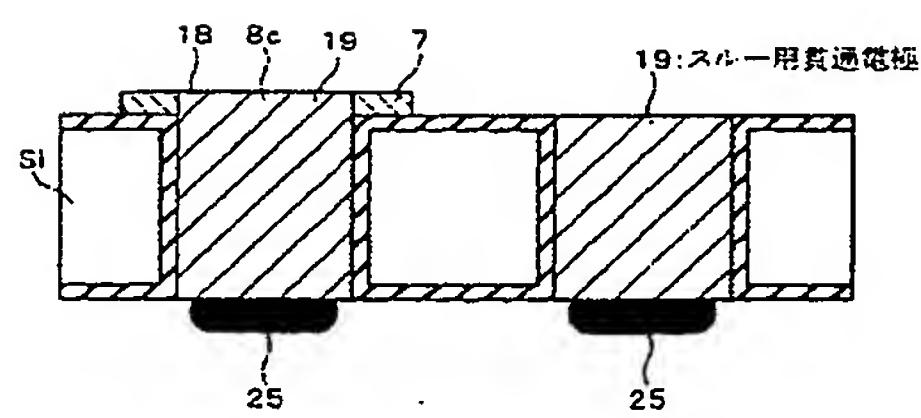
【図 1】



【図 2】

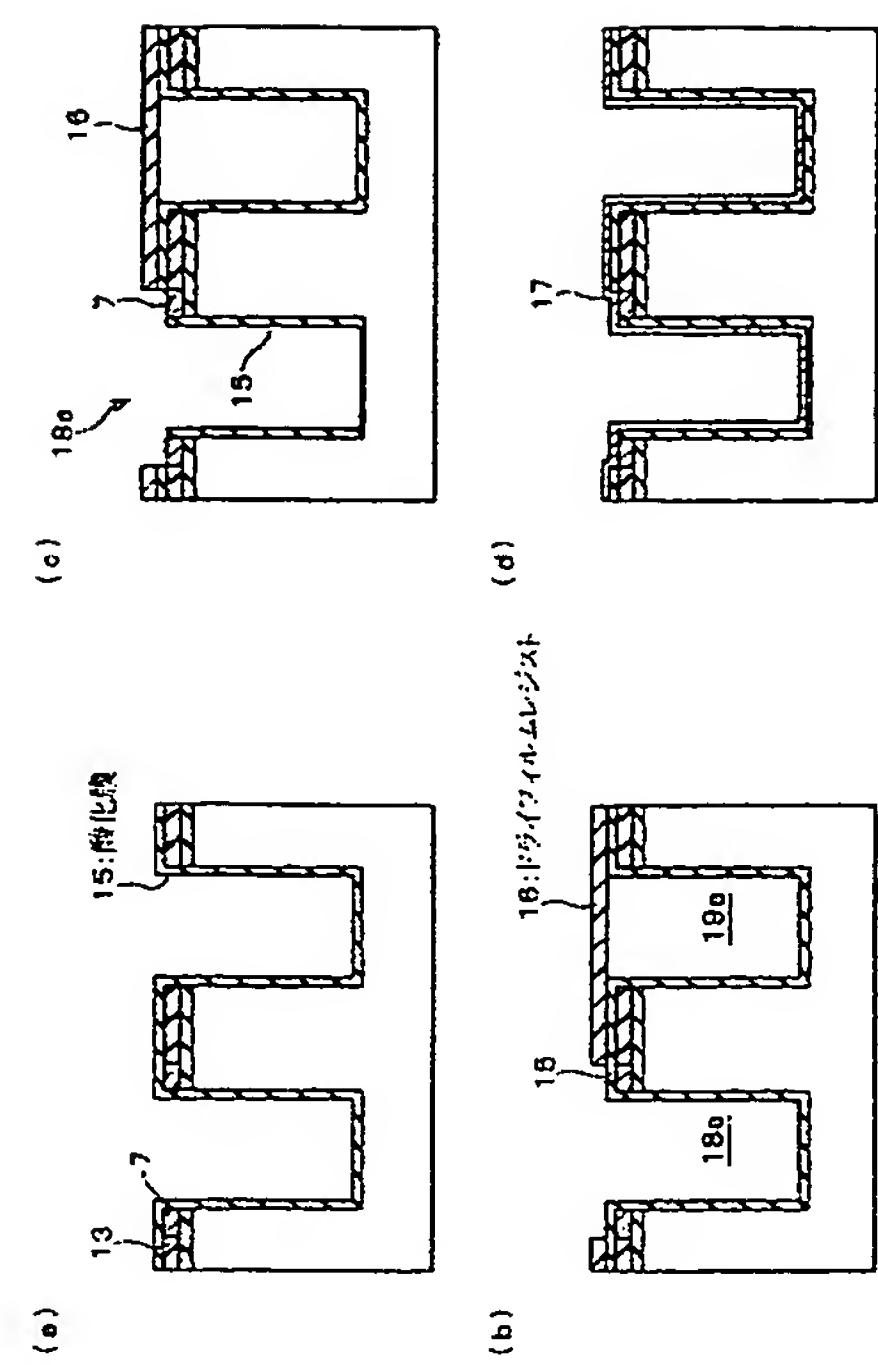


【図 3】

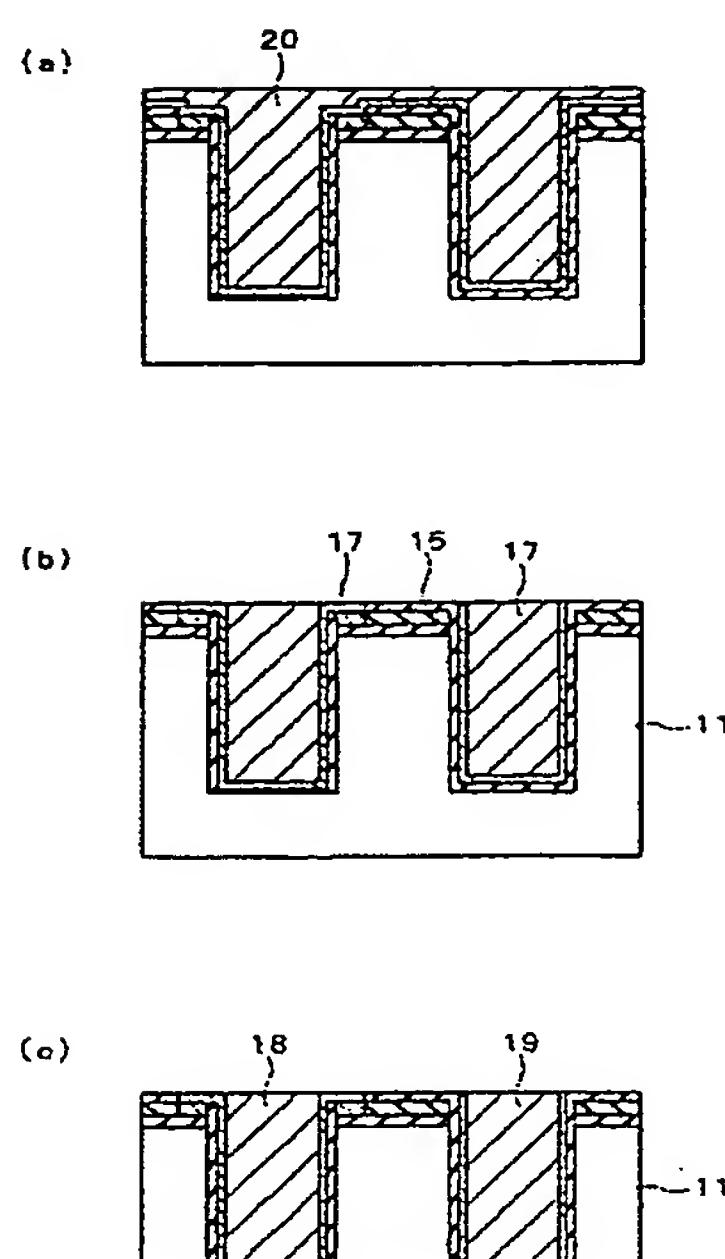


【図 4】

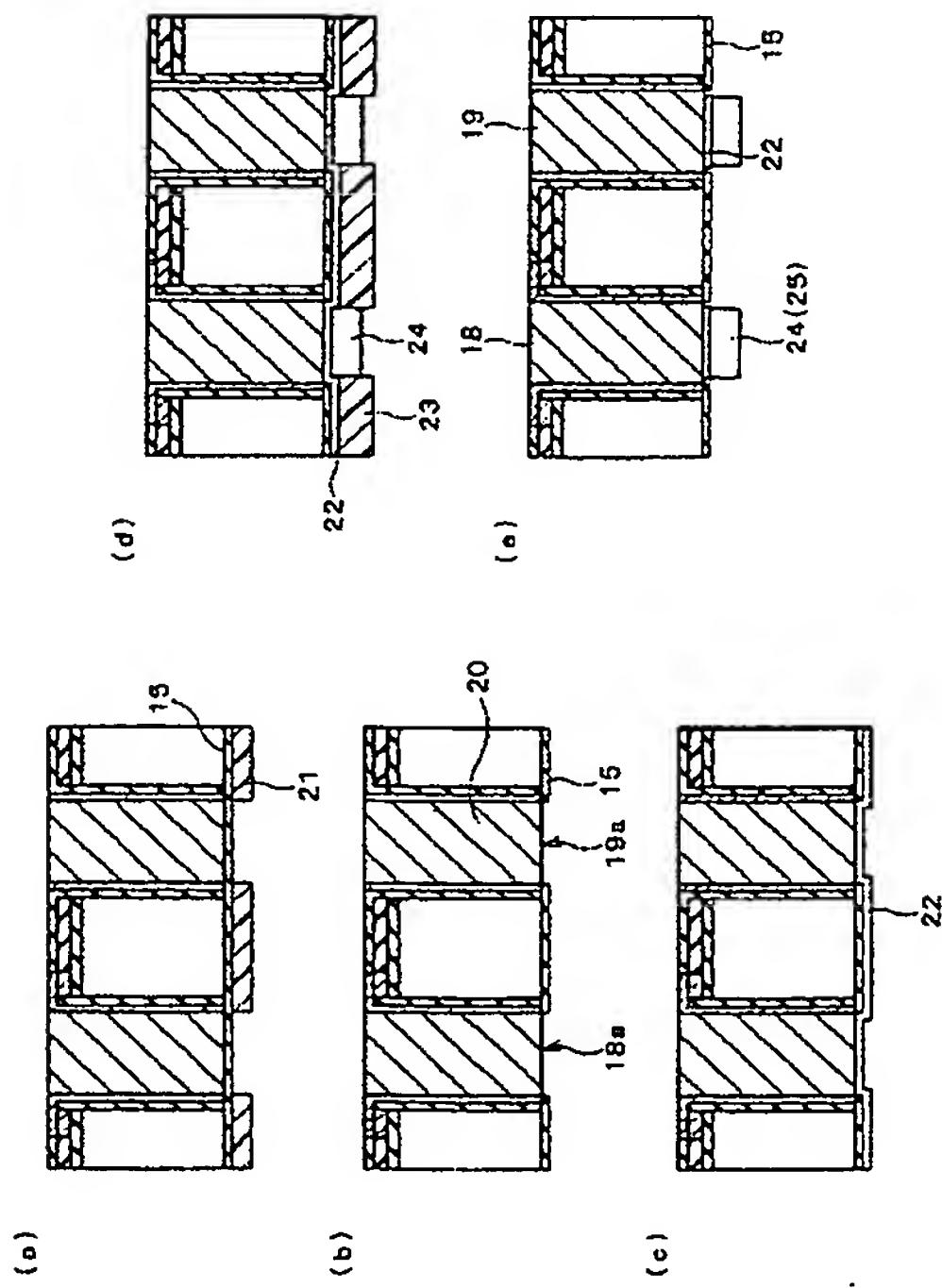
【図 5】



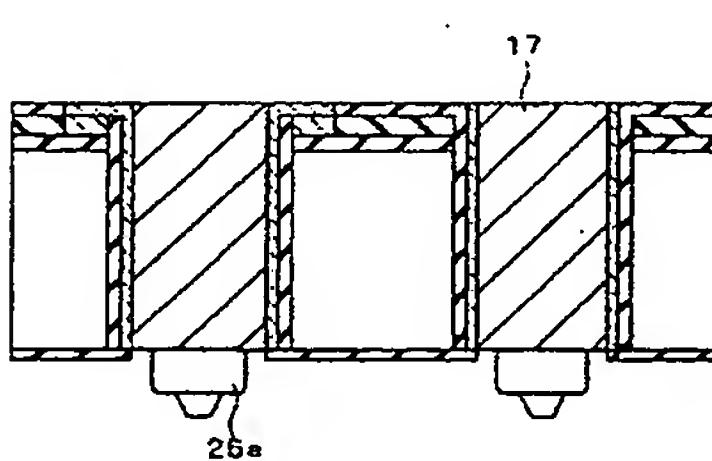
【図 6】



【図 7】



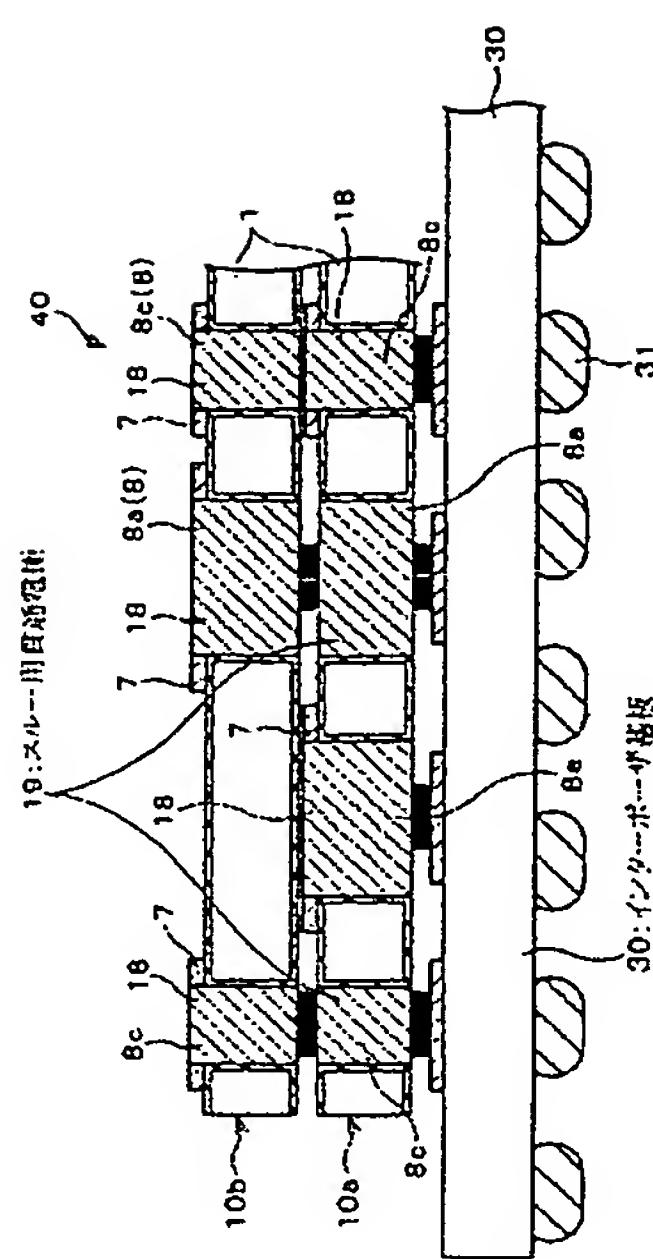
【図 8】



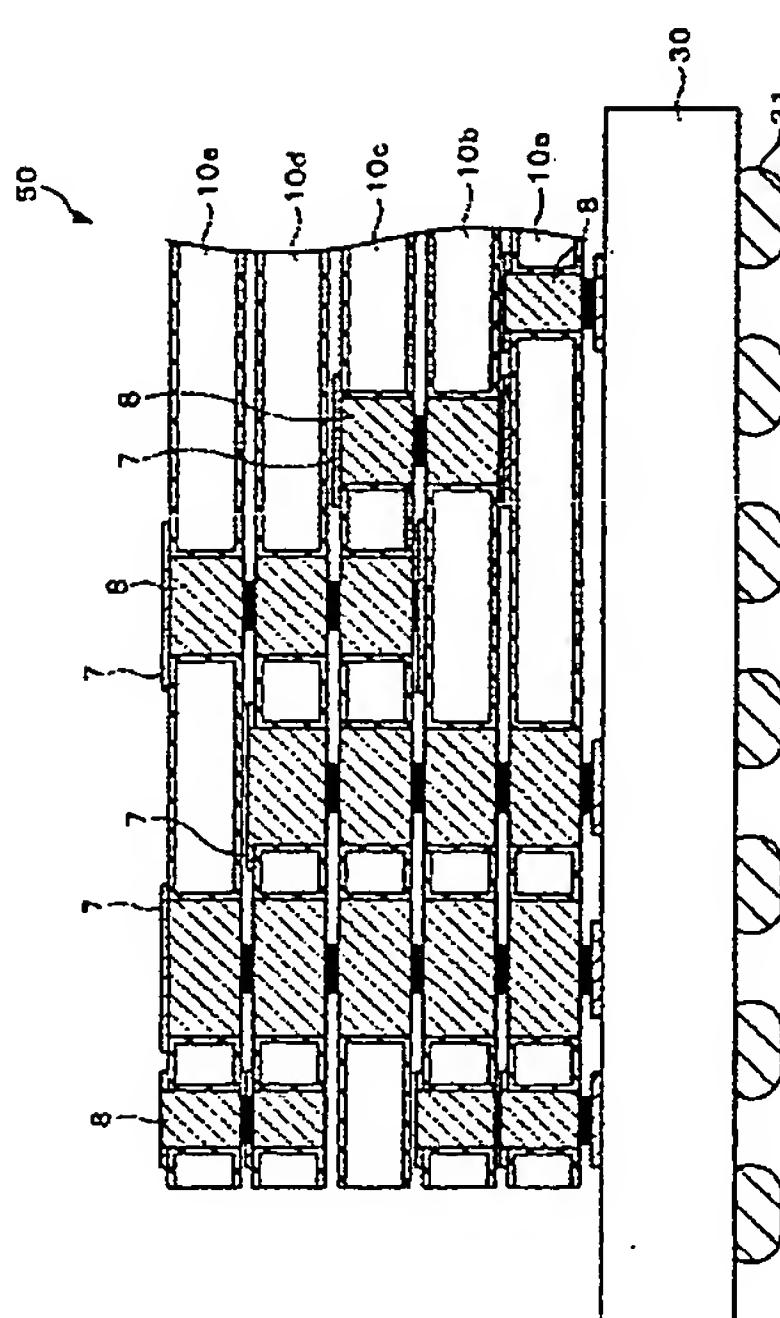
(20)

JP 2004-152810 A 2004.5.27

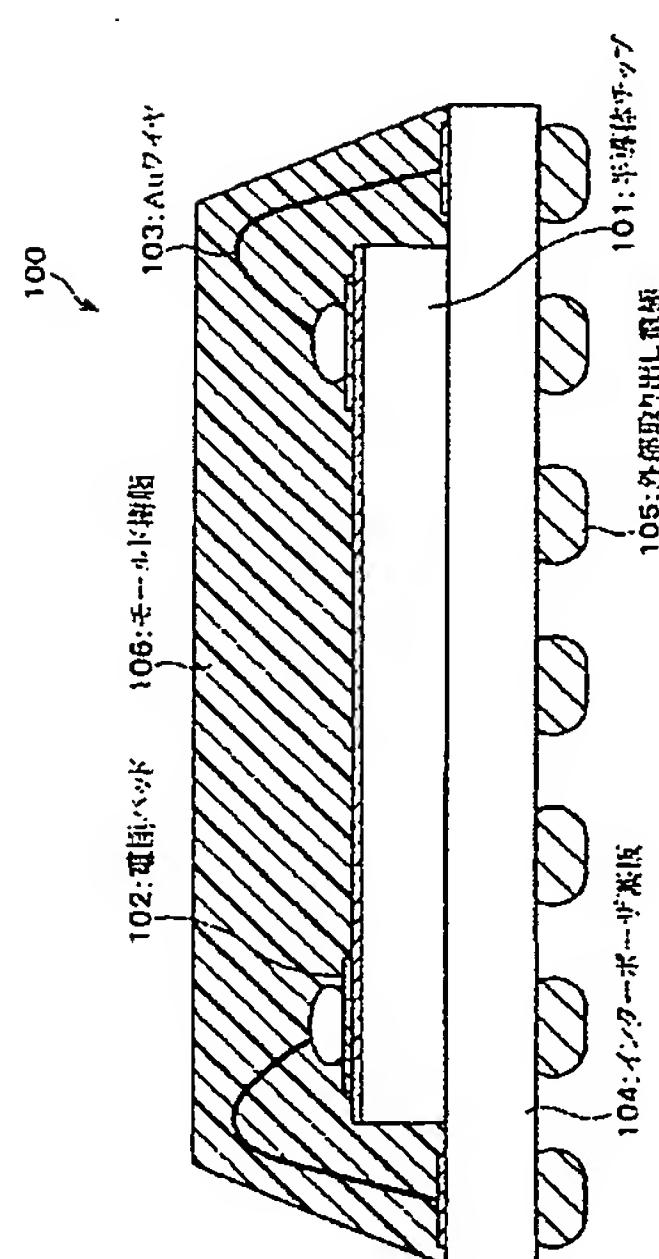
【図 9】



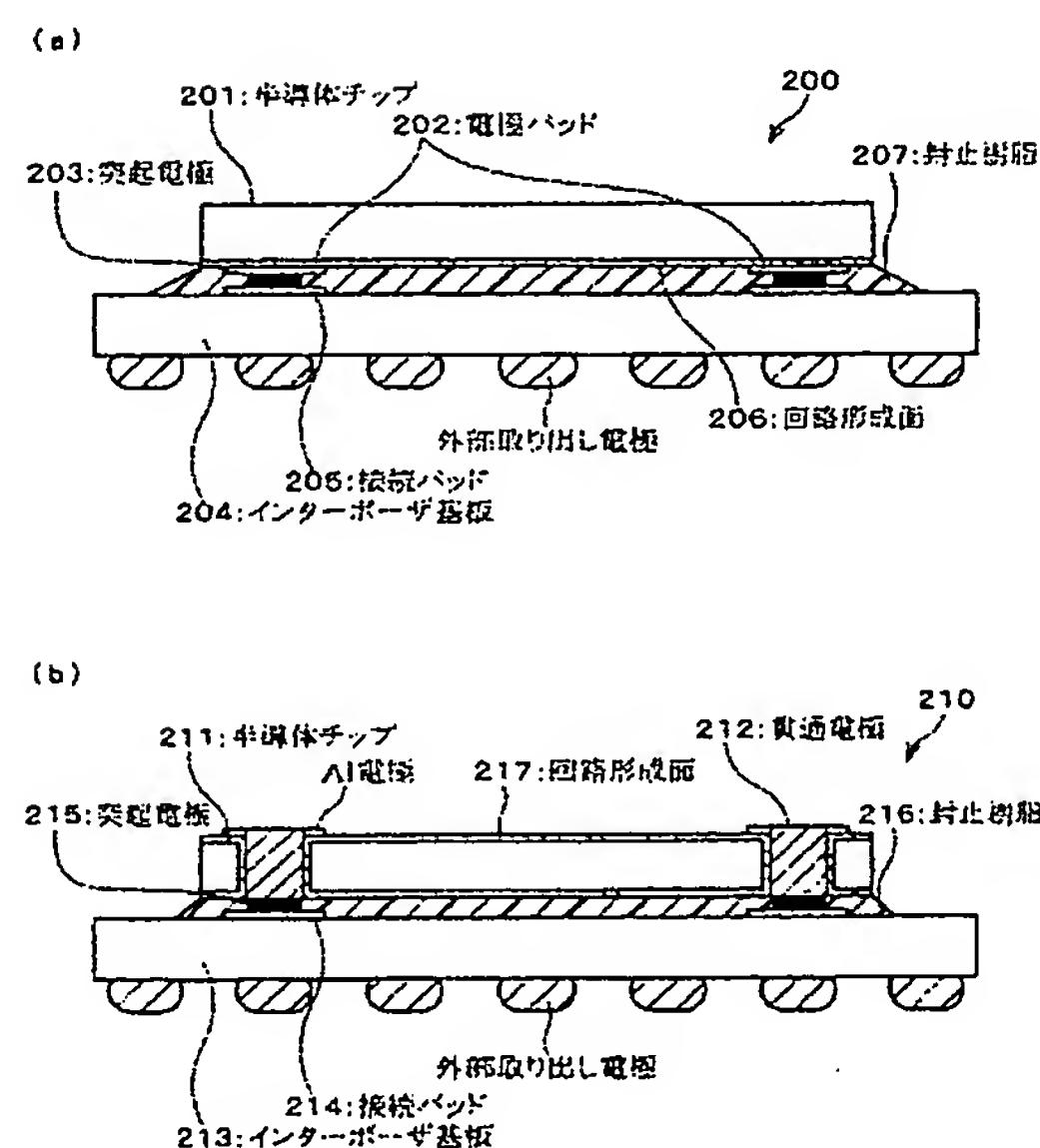
【図 10】



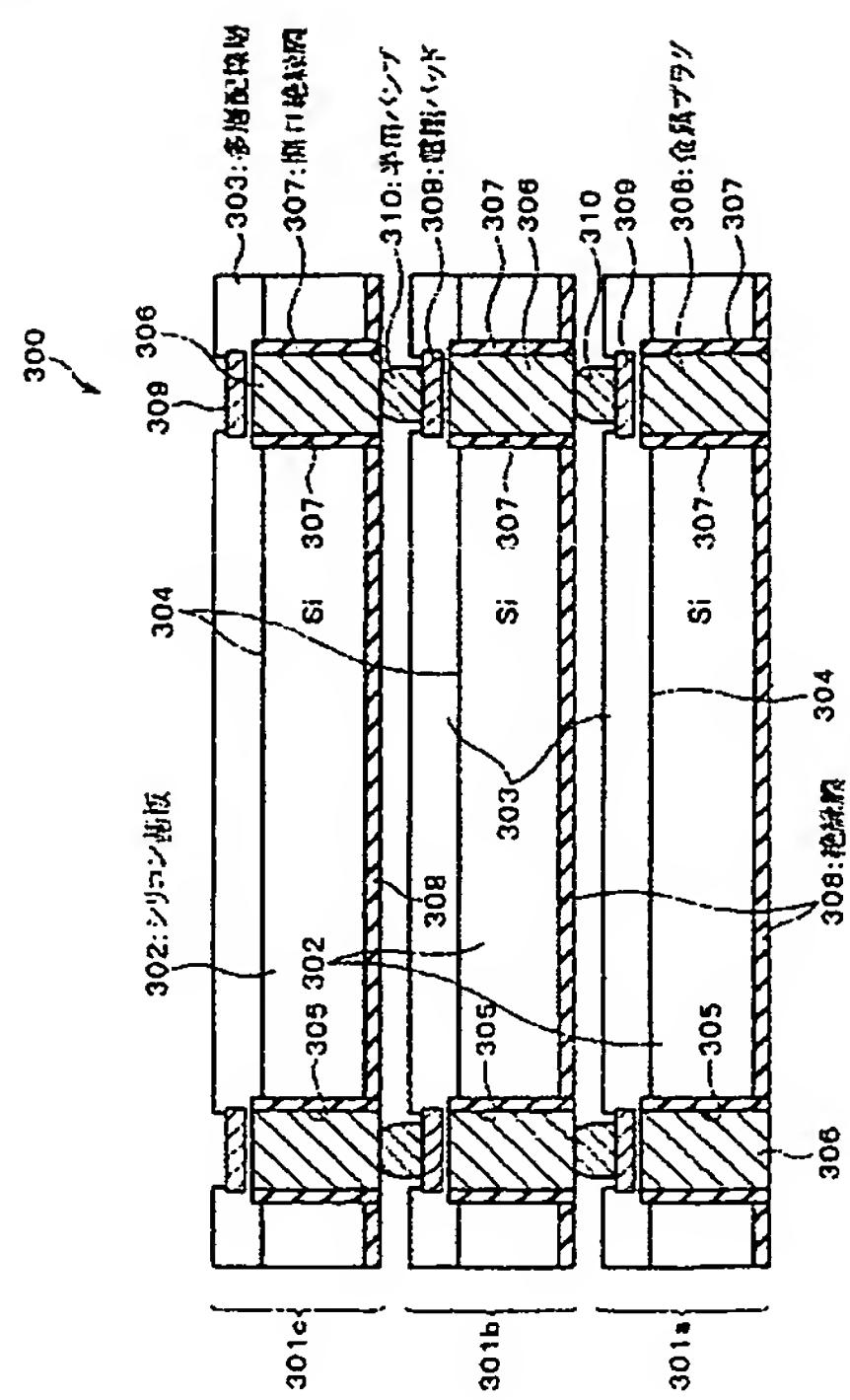
【図 11】



【図 12】



【図13】



---

フロントページの続き

(72)発明者 木村 敏夫

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

F ターム(参考) 5F033 HH08 JJ11 JJ33 KK11 KK23 PP15 PP27 QQ07 QQ11 QQ13  
QQ48 RR04 SS04 SS11 TT06 XX22